

**BEST AVAILABLE COPY**

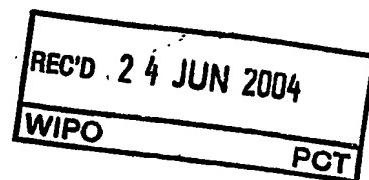
PCT/IB04/050942



Europäisches  
Patentamt

European  
Patent Office

Office européen  
des brevets



Bescheinigung

Certificate

Attestation

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

03101906.0

PRIORITY  
DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

Der Präsident des Europäischen Patentamts;  
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets  
p.o.

R C van Dijk



Anmeldung Nr:  
Application no.: 03101906.0  
Demande no:

Anmeldetag:  
Date of filing: 26.06.03  
Date de dépôt:

## Anmelder/Applicant(s)/Demandeur(s):

Philips Intellectual Property & Standards  
GmbH  
Steindamm 94  
20099 Hamburg  
ALLEMAGNE  
Koninklijke Philips Electronics N.V.  
Groenewoudseweg 1  
5621 BA Eindhoven  
PAYS-BAS

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:  
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.  
If no title is shown please refer to the description.  
Si aucun titre n'est indiqué se referer à la description.)

## Integrierte Anzeigeeinheit

In Anspruch genommene Priorität(en) / Priority(ies) claimed /Priorité(s)  
revendiquée(s)  
Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/  
Classification internationale des brevets:

G09G/

Am Anmeldetag benannte Vertragstaaten/Contracting states designated at date of  
filing/Etats contractants désignées lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HU IE IT LU MC NL  
PT RO SE SI SK TR LI

## BESCHREIBUNG

### Integrierte Anzeigeeinheit

Die Erfindung betrifft eine integrierte Anzeigeeinheit mit einem Display mit einer Mehrzahl von Displayelementen, die zu einer Mehrzahl von Gruppen zusammengefasst sind, insbesondere

- 5 mit einem pixelorientierten Display wie zum Beispiel einer (P- oder O-) LED-Matrix mit Gruppen in Form von in Reihen und Spalten angeordneten Displayelementen, sowie mit einer Schaltungsanordnung zur Ansteuerung des Displays.

Ein pixelorientiertes Display setzt sich zum Beispiel aus einer matrixförmigen Anordnung von

- 10 einzelnen Displayelementen wie zum Beispiel LEDs wie PLEDs (Polymere LEDs) oder OLEDs (Organic LEDs) zusammen, die in einer Mehrzahl von Gruppen in Form von N Reihen und M Spalten angeordnet sind. Im einfachsten Fall hat jede Reihe und jede Spalte ihre eigenen elektrischen Kontakte zur Ansteuerung bzw. Stromversorgung der Displayelemente, so dass das Display insgesamt eine Anzahl von  $N + M$  äußeren elektrischen Anschlüssen aufweist. Insbesondere bei Displays mit einer großen Anzahl von Displayelementen kann die Anzahl der Anschlüsse und damit auch der Aufwand für die entsprechenden Treiberschaltungen sehr hoch sein, was als nachteilig empfunden wird.
- 15

Es sind bereits verschiedene Vorschläge gemacht worden, durch bestimmte Maßnahmen die

- 20 Anzahl der äußeren Anschlüsse eines solchen Displays zu vermindern.

Aus der EP 0 809 228 ist zum Beispiel eine Treibereinrichtung mit Decodern oder Schiebe-registern bekannt, mit denen die Reihen und / oder Spalten eines LED-Matrix-Displays ange-

- steuert bzw. ausgewählt werden. Ein Nachteil dieser Treibereinrichtung besteht jedoch darin,
- 25 dass die Anzahl der Decodierelemente bzw. Busleitungen immer noch relativ hoch ist.

Eine Aufgabe, die der Erfindung zugrunde liegt, besteht deshalb darin, eine integrierte Anzeigeeinheit der eingangs genannten Art zu schaffen, bei der die Anzahl der erforderlichen äußereren Anschlüsse in noch wesentlich stärkerem Maße reduziert ist.

- 5 Weiterhin soll mit der Erfindung eine integrierte Anzeigeeinheit der eingangs genannten Art geschaffen werden, bei der das Display und die Schaltungsanordnung zur Ansteuerung des Displays platzsparend auf einem gemeinsamen Chip angeordnet werden können.

Gelöst wird die Aufgabe gemäß Anspruch 1 mit einer integrierten Anzeigeeinheit mit:

- 10 - einem Display mit einer Mehrzahl von Displayelementen, die zu einer Mehrzahl von Gruppen zusammengefasst sind,
- einer Schaltungsanordnung zur Ansteuerung des Displays, mit einer Mehrzahl von Schaltern, die mit einem ersten Taktsignal geschlossen und einem zweiten Taktsignal geöffnet werden können und einer Mehrzahl von Invertern, wobei die Schalter und Inverter abwechselnd zueinander zu einer Reihenschaltung verschaltet sind, wobei
  - jede Gruppe von Displayelementen jeweils mit einem Ausgang eines Inverters verbunden ist, sowie
  - mindestens einer Taktbusleitung, über die dem ersten, dritten, fünften usw. Schalter der Reihenschaltung alternierend das erste und das zweite Taktsignal und dem zweiten, vierten, sechsten usw. Schalter alternierend das zweite und das erste Taktsignal zugeführt wird, so dass nach dem Anlegen eines dritten Taktsignals an den Eingang der Reihenschaltung fortlaufend jeweils mindestens eine Gruppe von Displayelementen aktiviert wird.
- 15
- 20

- 25 Ein besonderer Vorteil dieser Lösung besteht darin, dass die Taktbusleitungen aus später noch erläuterten Gründen eine nur relativ geringe Kapazität aufweisen und außerdem am Rand des Displays verlegt werden können. Dies hat einerseits zur Folge, dass die einzelnen Displayelemente mit einem geringeren Abstand zueinander angeordnet werden können und andererseits die Taktbusleitungen eine relativ große Breite haben können, so dass sich ein entsprechend geringer Widerstand und eine relativ niedrige RC-Zeit dieser Leitungen ergibt.

Ein weiterer Vorteil der Lösung besteht darin, dass die Anzeigeeinheit sowohl zur verschachtelten (interlaced), als auch zur nicht-verschachtelten (non-interlaced) Ansteuerung der Gruppen von Displayelementen ausgelegt werden kann.

5

An dieser Stelle sei erwähnt, dass aus der US-PS 4,723,168 und der US-PS 4,903,284 zwar Schieberegisteranordnungen bekannt sind, die zur Ansteuerung eines CCD-Chips zur Bildaufnahme, nicht jedoch einer LED-Matrix vorgesehen sind. Insofern wird dieser Stand der Technik nicht als gattungsgemäß angesehen.

10

Die Unteransprüche haben vorteilhafte Weiterbildungen der Erfindung zum Inhalt.

Mit der Ausführung gemäß Anspruch 2 kann einerseits eine relativ hohe Dichte der Displayelemente (das heißt ein geringerer Abstand zwischen diesen Elementen) realisiert werden.

15 Andererseits können die Taktbusleitungen relativ breit ausgeführt werden, so dass ihr Widerstand entsprechend gering ist.

Die Ausführung gemäß Anspruch 3 beinhaltet eine Ausgestaltung des Displays, die bevorzugt als Teil der integrierten Anzeigeeinheit ausgeführt wird.

20

Anspruch 4 beinhaltet eine vorteilhafte Realisierung der Schaltungsanordnung.

Die Ansprüche 5 und 6 beinhalten eine Anzeigeeinheit mit einer Schaltungsanordnung zur nicht-verschachtelten (non-interlaced) Ansteuerung der Gruppen von Displayelementen.

25

Die Ansprüche 7 bis 9 betreffen hingegen eine verschachtelte (interlaced) Ansteuerung der Gruppen von Displayelementen. Diese Ausführungen haben auch den Vorteil, dass damit nicht nur die Abtastleitungen, sondern auch die Datenleitungen des Displays angesteuert werden können.

Weitere Einzelheiten, Merkmale und Vorteile der Erfindung ergeben sich aus der folgenden Beschreibung von bevorzugten Ausführungsformen anhand der Zeichnung. Es zeigt:

- 5 Fig. 1 ein schematisches Schaltbild einer passiven LED-Matrix;
  - Fig. 2 ein schematisches Schaltbild einer aktiven LED-Matrix;
  - Fig. 3 ein Teil einer ersten Schaltungsanordnung zur Ansteuerung der Reihen einer LED-Matrix;
  - Fig. 4 eine Detaildarstellung eines Teils der ersten Schaltungsanordnung;
  - 10 Fig. 5 die Schaltungsanordnung gemäß Figur 3 zur Ansteuerung der Spalten einer LED-Matrix;
  - Fig. 6 ein Teil einer zweiten Schaltungsanordnung zur Ansteuerung der Reihen einer LED-Matrix;
  - Fig. 7 eine Detaildarstellung eines Teils der zweiten Schaltungsanordnung;
  - 15 Fig. 8 die Schaltungsanordnung gemäß Figur 6 zur Ansteuerung der Spalten einer LED-Matrix; und
  - Fig. 9 eine Anzeigeeinheit mit einer ersten und einer zweiten Schaltungsanordnung sowie einer passiven LED-Matrix.
- 
- 20 Figur 1 zeigt schematisch ein bekanntes passives und Figur 2 ein bekanntes aktives (P- oder O-) LED-Matrix-Display. Die Displays weisen Displayelemente  $D_x$  auf, die in Gruppen in Form von drei horizontalen Reihen ( $N = 3$ ) und drei vertikalen Spalten ( $M = 3$ ) angeordnet sind, so dass insgesamt neun Displayelemente  $D_x$  (Bildpixel) in Form von (P- oder O-) LED Elementen angesteuert werden können. Während des Betriebes des Displays werden die
  - 25 Reihen sequentiell adressiert, das heißt nacheinander jeweils mit dem positiven Pol  $V+$  einer Versorgungsspannung verbunden und damit aktiviert (Abtastleitungen), während an die Spalten  $V1-$ ,  $V2-$ ,  $V3-$  die die darzustellende Bildinformation beinhaltenden Signale (Datenleitungen) angelegt werden. Diese Signale werden in bekannter Weise in Abhängigkeit von der gerade aktivierten Reihe angelegt. Die Anzahl von äußeren Anschlüssen (im allgemeinen

Bondverbindungen), die zur Ansteuerung eines solchen Displays benötigt werden, beträgt somit N + M. Im dargestellten Fall sind dies sechs Anschlüsse.

Figur 3 zeigt eine erste erfindungsgemäße Schaltungsanordnung zur Ansteuerung der Abtastleitungen, d. h. im Fall der Figur 3 der horizontalen Reihen R<sub>1</sub>, R<sub>2</sub>, .. eines aktiven oder passiven Matrix-Displays. Die Displayelemente können aktive und / oder passive LEDs, PLEDs (Polymere LEDs) und / oder OLEDs (Organic LEDs) sein.

Die Schaltungsanordnung setzt sich aus einer Reihenschaltung eines ersten Schalters Sw<sub>1</sub> und eines ersten Inverters In<sub>1</sub>, eines zweiten Schalters Sw<sub>2</sub> und eines zweiten Inverters In<sub>2</sub> usw. zusammen, wobei an den Ausgang des zweiten Inverters In<sub>2</sub> eine erste Reihe R<sub>1</sub> und an den Ausgang des vierten Inverters In<sub>4</sub> eine zweite Reihe R<sub>2</sub> usw. des Matrix-Displays angeschlossen ist. Die Anzahl der Schalter Sw und Inverter In ist so bemessen, dass jede Reihe R des Matrix-Displays in der beschriebenen Weise an die Schaltungsanordnung angeschlossen werden kann.

Der erste, dritte, fünfte Schalter Sw<sub>1</sub>, Sw<sub>3</sub>, Sw<sub>5</sub>.. usw. wird über eine erste Taktbusleitung Φ<sub>1</sub> geschaltet, während der zweite, vierte Schalter Sw<sub>2</sub>, Sw<sub>4</sub>.. usw. über eine zweite Taktbusleitung Φ<sub>2</sub> geschaltet wird.

Die Schalter Sw<sub>1</sub>, Sw<sub>2</sub>... können mit einem ersten Taktsignal geschlossen und einem zweiten Taktsignal geöffnet werden, wobei diese Taktsignale den Schaltern über die betreffende Taktbusleitung zugeführt werden.

Die Schalter Sw<sub>1</sub>, Sw<sub>2</sub>... werden alternierend mit dem ersten und dem zweiten Taktsignal in der Weise geschaltet, dass entweder die mit der ersten Taktbusleitung Φ<sub>1</sub> verbundenen Schalter Sw<sub>1</sub>, Sw<sub>3</sub>, Sw<sub>5</sub>.. usw. offen und die mit der zweiten Taktbusleitung Φ<sub>2</sub> verbundenen Schalter Sw<sub>2</sub>, Sw<sub>4</sub>.. usw. geschlossen sind oder die mit der ersten Taktbusleitung Φ<sub>1</sub>

verbundenen Schalter Sw1, Sw3, Sw5,.. usw. geschlossen und die mit der zweiten Taktbusleitung  $\Phi 2$  verbundenen Schalter Sw2, Sw4,.. usw. offen sind.

- Am Eingang der Reihenschaltung (d. h. des ersten Schalters Sw1) liegt ein über eine dritte
- 5 Taktbusleitung  $\Phi 0$  zugeführter Startpuls an.

Die Inverter In1, In2,... selbst sind mit einem positiven (+) und einem negativen (-) Anschluss einer Versorgungsspannung (DC Bus) verbunden.

- 10 Zur Ansteuerung jeder Reihe Rx des Displays wird somit eine Schalteinheit benötigt, die sich zum Beispiel im Fall der ersten Reihe R1 aus der Reihenschaltung aus dem ersten Schalter Sw1, dem ersten Inverter In1, dem zweiten Schalter Sw2 und dem zweiten Inverter In2 zusammensetzt.
- 15 Figur 4 zeigt eine solche Schalteinheit im Detail. Die beiden Schalter Sw1, Sw2 sind durch jeweils einen n-Transistor und die beiden Inverter In1, In2 durch jeweils eine Parallelschaltung eines p-Transistors mit einem n-Transistor gebildet.

- Bei Anwendung dieser Schaltungsanordnung zur Ansteuerung der N Reihen eines Matrix-
- 20 Displays werden somit unabhängig von der Anzahl N der Reihen R1, R2,.. drei Anschlüsse für die drei Taktbusleitungen  $\Phi 0$ ,  $\Phi 1$ ,  $\Phi 2$  sowie zwei Anschlüsse für den positiven und negativen DC-Bus (+, -), insgesamt also fünf Anschlüsse bzw. Busleitungen benötigt. Der Schaltungsaufwand beträgt 4 mal N n-Transistoren sowie 2 mal N p-Transistoren (vgl. Figur 4).
- 25 Die Taktbusleitungen  $\Phi 0$ ,  $\Phi 1$ ,  $\Phi 2$  haben jeweils eine relativ geringe Kapazität, da mit ihnen nur jeweils eine Anzahl von N Transistoren adressiert wird. Weiterhin kann insbesondere die erste und zweite Taktbusleitung  $\Phi 1$ ,  $\Phi 2$  am Rand des Displays verlegt werden und braucht nicht direkt durch das Feld der (P)LED-Elemente des Displays zu verlaufen, so dass die Taktbusleitungen  $\Phi 1$ ,  $\Phi 2$  eine größere Breite haben können. Damit ist auch ein entsprechend

geringerer Widerstand und eine relativ niedrige RC-Zeit der Taktbusleitungen verbunden.

Aus diesen Gründen kann die Schaltungsanordnung mit dem Display auf einem gemeinsamen

Träger bzw. Chip angeordnet und integriert werden. Das eigentliche Display kann dabei, da

- 5 die Taktbusleitungen an dessen Rand verlegt sind, wesentlich dichter mit Displayelementen besetzt werden. Dies ist insbesondere bei einer aktiven (P)LED-Matrix von großem Vorteil.

Die am Rand des Displays verlegten Taktbusleitungen  $\Phi_1$ ,  $\Phi_2$  sind vorzugsweise aus Aluminium.

10

Die erste Schaltungsanordnung arbeitet funktionell nach Art eines Schieberegisters. Nach dem Anlegen des Startpulses an die dritte Taktbusleitung  $\Phi_0$  wird nacheinander mit dem ersten und zweiten Taktsignal (+, 0) an der ersten und zweiten Taktbusleitung  $\Phi_1$ ,  $\Phi_2$  (durch die die damit verbundenen Schalter  $Sw_1$ ,  $Sw_3, \dots$ ;  $Sw_2$ ,  $Sw_4, \dots$  geöffnet bzw. geschlossen werden)

- 15 jede Reihe Rx einzeln mit dem positiven Pol (+) der an dem betreffenden Inverter  $In_1$ ,  $In_2, \dots$  anliegenden Versorgungsspannung verbunden.

Die Reihen Rx könnten natürlich je nach Art der (P- oder O-) LED-Elemente auch mit dem negativen Pol (-) der an dem betreffenden Inverter anliegenden Versorgungsspannung

- 20 verbunden werden, wenn zum Beispiel die Reihen Rx jeweils an den Ausgang des ersten, dritten usw. Inverters  $In_1$ ,  $In_2, \dots$  angeschlossen sind. Weiterhin könnten die Reihen Rx auch mit einer Kombination aus einer Gleichspannung und einem gepulsten Signal aktiviert werden.

Die N (Abtast-) Reihen Rx des Displays werden auf diese Weise sequentiell und nicht ver-

- 25 schachtelt (non-interlaced) adressiert. Tabelle 1 zeigt als Beispiel hierfür ein Takschema für ein (P- oder O-) LED-Matrix-Display mit  $N = 3$  Reihen.

Tabelle 1:

Zeittakt	$\Phi_0$	$\Phi_1$	$\Phi_2$	$\frac{1}{2}$	1	$1\frac{1}{2}$	2	$2\frac{1}{2}$	3
0	0	-	-	+	0	+	0	+	0
1	+	+	0	<b>0</b>	0	+	0	+	0
2	+	0	+	<b>0</b>	<b>+</b>	+	0	+	0
3	0	+	0	+	<b>+</b>	<b>0</b>	0	+	0
4	0	0	+	+	0	<b>0</b>	<b>+</b>	+	0
5	0	+	0	+	0	+	<b>+</b>	<b>0</b>	0
6	0	0	+	+	0	+	0	<b>0</b>	<b>+</b>
7	0	+	0	+	0	+	0	+	<b>+</b>
8	0	0	+	+	0	+	0	+	0

- 5 In den mit " $\frac{1}{2}$ ", "1 $\frac{1}{2}$ ", "2 $\frac{1}{2}$ " bezeichneten Spalten sind dabei jeweils die Pegelzustände an den Ausgängen der jeweils zwischen den Anschlüssen für die Reihen R1, R2, R3 liegenden Inverter In1, In3, In5,... angegeben. Die fett gedruckten + Zeichen in den Spalten "1", "2" und "3" zeigen die jeweils adressierte Reihe R1, R2,.. an, in der jeweils die (P- oder O-) LED-Elemente entsprechend der an die Spalten des Matrixdisplays angelegten Signale, die die Bildinformationen enthalten, aktiviert werden.
- 10

Aus der Tabelle 1 wird deutlich, dass alle  $N = 3$  Reihen nach acht Zeittakten (d. h.  $2N + 2$ ) nach dem Anlegen des Startpulses an die dritte Taktbusleitung  $\Phi_0$  adressiert worden sind.

- 15 Die Lichtemission der LED Elemente der betreffenden Reihe beginnt dabei jeweils mit einem 0-Pegel an der ersten Taktbusleitung  $\Phi_1$  und endet mit einem 0-Pegel an der zweiten Taktbusleitung  $\Phi_2$ .

Wenn ein Matrix-Display mit LED-Elementen verwendet wird, die nicht wie im oben erläuterten Fall mit einem positiven (+) Pegel, sondern mit einem 0-Pegel adressiert werden müssen, kann dies entweder dadurch erreicht werden, dass als Startpuls an die dritte Taktbusleitung  $\Phi_0$  zu den in der Tabelle 1 angegebenen Zeittakten 0 und 3 bis 8 ein positiver

5 Pegel und zu den Zeittakten 1 und 2 ein 0-Pegel angelegt wird.

Alternativ dazu können bei gleichem Zeittakt- und Pegelschema wie in Tabelle 1 die zu adressierenden Reihen R1, R2,... des Matrix-Displays auch mit den mit " $^{1\frac{1}{2}}$ ", " $^{1\frac{1}{2}}$ ", " $^{2\frac{1}{2}}$ " usw. bezeichneten Ausgängen der Inverter In1, In3, In5,... gemäß Figur 3 verbunden werden, wie

10 es oben bereits erwähnt wurde.

Figur 5 zeigt die erste Schaltungsanordnung in einer Ausgestaltung zur Ansteuerung der (Abtast-) Spalten S1, S2, S3 eines Matrix-Displays, wenn diese die Abtastleitungen darstellen (und die Datenleitungen mit den Reihen R1, R2, R3,... verbunden werden sollen).

15

Diese Ausgestaltung ist schaltungstechnisch im wesentlichen identisch mit der in Figur 3 gezeigten Schaltungsanordnung, so dass hinsichtlich ihrer Elemente und Funktionen auf die im Zusammenhang mit den Figuren 3 und 4 sowie der Tabelle 1 gegebenen Erläuterungen Bezug genommen werden soll.

20

Im Unterschied zur Figur 3 sind an den Ausgang des zweiten, vierten und sechsten usw. Inverters In2, In4, In6,... jedoch jeweils die erste, zweite bzw. dritte Spalte S1, S2, S3,... des Matrix-Displays angeschlossen.

25 Figur 6 zeigt eine zweite erfindungsgemäße Schaltungsanordnung zur Ansteuerung der Reihen R1, R2, R3,... eines aktiven oder passiven (P- oder O-) LED-Matrix-Displays.

Die Schaltungsanordnung setzt sich wiederum aus einer Reihenschaltung aus einem ersten Schalter Sw1, einem ersten Inverter In1, einem zweiten Schalter Sw2, einem zweiten Inverter In2 usw. wie in Figur 3 zusammen.

- 5 Der erste, dritte, fünfte,... Schalter Sw1, Sw3, Sw5,.. usw. wird wiederum über eine erste Taktbusleitung  $\Phi 1$  geschaltet, während der zweite, vierte,... Schalter Sw2, Sw4,.. usw. über eine zweite Taktbusleitung  $\Phi 2$  geschaltet wird.

- Die Schalter werden wiederum mit einem ersten und einem zweiten Taktignal in der Weise  
10 geöffnet bzw. geschlossen, dass alternierend entweder die mit der ersten Taktbusleitung  $\Phi 1$  verbundenen Schalter Sw1, Sw3, Sw5,.. usw. offen und die mit der zweiten Taktbusleitung  $\Phi 2$  verbundenen Schalter Sw2, Sw4,.. usw. geschlossen sind oder die mit der ersten Taktbusleitung  $\Phi 1$  verbundenen Schalter Sw1, Sw3, Sw5,.. usw. geschlossen und die mit der zweiten Taktbusleitung  $\Phi 2$  verbundenen Schalter Sw2, Sw4,.. usw. offen sind.

15

Am Eingang der Reihenschaltung (d. h. des ersten Schalters Sw1) liegt wiederum ein über eine dritte Taktbusleitung  $\Phi 0$  zugeührter Startpuls an.

- Die Inverter In1, In2,... selbst sind wiederum wie in Figur 3 mit einem positiven (+) und einem negativen (-) Anschluss einer Versorgungsspannung (DC Bus) verbunden.  
20

- Im Unterschied zu der ersten Schaltungsanordnung ist bei dieser zweiten Schaltungsanordnung jedem Inverter In1, In2,.. ein Umschalter Um1, Um2,.. zugeordnet. Im einzelnen wird die erste, dritte, fünfte usw. Reihe R1, R3, R5,.. des Displays über jeweils einen ersten, dritten, fünften Umschalter Um1, Um3, Um5,.. mit einer vierten oder fünften Taktbusleitung A1, B1 verbunden, während die zweite, vierte, sechste usw. Reihe R2, R4, R6,.. über jeweils einen zweiten, vierten, sechsten Umschalter Um2, Um4,.. an eine sechste oder siebte Taktbusleitung A2, B2 angelegt wird.  
25

Die Umschalter Um1, Um2,... weisen gemäß Figur 6 jeweils zwei Kontakte auf, die durch das an dem Eingang bzw. dem Ausgang des jeweils zugeordneten Inverters In1, In2,... anliegende Signal geschaltet werden, so dass stets einer der Kontakte offen und der andere geschlossen ist.

5

Mit dieser Abwandlung gegenüber der ersten Schaltungsanordnung ist es möglich, die angeschlossenen Reihen R1, R2, R3,... des Matrix-Displays verschachtelt (interlaced) anzusteuern.

Figur 6 zeigt den einfachsten Fall der verschachtelten Ansteuerung (Zeilensprungverfahren)

- 10 nach dem Schema "abab" mit zwei Halbbildern. Dabei ist zur Auswahl eines ersten Halbbildes an die fünfte Taktbusleitung B1 ein 1-Pegel und an die sechste Taktbusleitung A2 ein 0-Pegel anzulegen, während zur Auswahl eines zweiten Halbbildes an die fünfte Taktbusleitung B1 ein 0-Pegel und an die sechste Taktbusleitung A2 ein 1-Pegel anzulegen ist.
- 15 Die vierte und die siebte Taktbusleitung A1, B2 wird dabei fest auf 0-Pegel gelegt, so dass beide die gleiche Bondverbindung aufweisen können. Diese Bondverbindung kann, sofern es gewünscht wird, auch als 0-Leitung für die Schaltungsanordnung verwendet werden.

Zur Ansteuerung jeder Reihe Rx des Displays wird somit eine Schalteinheit benötigt, die sich

- 20 zum Beispiel im Fall der ersten Reihe R1 aus der Reihenschaltung aus dem ersten Schalter Sw1 und dem ersten Inverter In1 sowie dem ersten Umschalter Um1 zusammensetzt.

- 25 Figur 7 zeigt eine solche Schalteinheit im Detail. Der Schalter Sw ist durch einen n-Transistor und der Inverter In durch eine Parallelschaltung eines p-Transistors mit einem n-Transistor gebildet, während der Umschalter Um durch zwei Ein-/Ausschalter mit jeweils einem p- und einem n-Transistor realisiert ist.

Bei Anwendung dieser zweiten Schaltungsanordnung zur Ansteuerung der N Reihen eines Matrix-Displays werden somit unabhängig von der Anzahl N der Reihen Rx drei Anschlüsse

für die erste bis dritte Taktbusleitung  $\Phi_0$ ,  $\Phi_1$ ,  $\Phi_2$  und zwei Anschlüsse für die fünfte und sechste Taktbusleitung  $B_1$ ,  $A_2$  benötigt. Weiterhin sind für die Inverter zwei Anschlüsse für den positiven und negativen DC-Bus (+, -) vorzusehen. Dies sind insgesamt 7 Busleitungen. Der Schaltungsaufwand beträgt 4 mal N n-Transistoren sowie 3 mal N p-Transistoren (vgl.

5 Figur 7).

Die erste und zweite Taktbusleitung  $\Phi_1$ ,  $\Phi_2$  hat jeweils wiederum eine relativ geringe Kapazität, da sie nur jeweils eine Anzahl von N Transistoren adressiert. Weiterhin verlaufen die Taktbusleitungen  $\Phi_0$ ,  $\Phi_1$ ,  $\Phi_2$  nicht direkt durch das Feld der (P)LED-Elemente, sondern 10 können am Rand des Displays verlegt werden, so dass sie wiederum eine relativ große Breite, einen niedrigen Widerstand und eine relativ niedrige RC-Zeit haben können. Aus diesen Gründen kann auch diese zweite Schaltungsanordnung zusammen mit dem Display auf einem gemeinsamen Chip bzw. Träger zu einer Anzeigeeinheit integriert werden, wobei das 15 eigentliche Display wiederum wesentlich dichter mit Displayelementen besetzt werden kann, da die Taktbusleitungen vorzugsweise an dessen Rand verlegt sind.

Funktionell arbeitet die zweite Schaltungsanordnung wiederum nach Art eines Schieberegisters. Nach dem Anlegen des Startpulses an die dritte Taktbusleitung  $\Phi_0$  wird mit dem ersten und zweiten Taktsignal (+, 0) an der ersten und zweiten Taktbusleitung  $\Phi_1$ ,  $\Phi_2$  gemäß 20 der Erläuterung im Zusammenhang mit der ersten Schaltungsanordnung nacheinander an jede Reihe Rx über den betreffenden Inverter In1, In2,... der positive Pol (+) der an diesem anliegenden Versorgungsspannung geführt.

Die Reihen Rx könnten, wie oben erläutert wurde, je nach Art der (P- oder O-) LED-Elemente auch mit dem negativen Pol (-) der an dem betreffenden Inverter anliegenden Versorgungsspannung verbunden oder mit einer Kombination aus einer Gleichspannung und einem gepulsten Signal versorgt werden. 25

- Die Auswahl der beiden Halbbilder erfolgt dabei gemäß obiger Erläuterung durch die an die fünfte und sechste Taktbusleitung B1, A2 angelegten Spannungspegel. Wenn an der fünften Taktbusleitung B1 ein 1-Pegel und an der sechsten Taktbusleitung A2 ein 0-Pegel anliegt, werden die (P)LED Elemente eines ersten Halbbildes (nacheinander die Reihen R1, R3, R5 usw.) angesteuert, während in dem Fall, in dem an der fünften Taktbusleitung B1 ein 0-Pegel und an der sechsten Taktbusleitung A2 ein 1-Pegel anliegt, die (P)LED Elemente des zweiten Halbbildes (nacheinander die Reihen R2, R4, R6 usw.) aktiviert werden.
- Wenn ein Matrix-Display mit (P- oder O-) LED-Elementen verwendet wird, die nicht wie im oben erläuterten Fall mit einem positiven Pegel, sondern einem 0-Pegel angesteuert werden müssen, so kann dies in einfacher Weise dadurch realisiert werden, dass die vierte und siebte Taktbusleitung A1, B2 nicht auf 0-Pegel, sondern auf 1-Pegel gesetzt wird. Da in diesem Fall die Reihen mit einem 0-Pegel adressiert werden, werden durch einen 1-Pegel an der fünften Taktbusleitung B1 und einen 0-Pegel an der sechsten Taktbusleitung A2 die LED-Elemente des zweiten Halbbildes (nacheinander die Reihen R2, R4, R6 usw.) aktiviert. Wenn hingegen an die fünfte Taktbusleitung B1 ein 0-Pegel und an die sechste Taktbusleitung A2 ein 1-Pegel angelegt wird, wird das erste Halbbild (nacheinander die Reihen R1, R3, R5 usw.) dargestellt.
- Um mit dem gleichen Schaltungslayout beide Arten von (P- oder O-) LEDs verwenden zu können, wird die vierte und siebte Taktbusleitung A1, B2 vorzugsweise nicht fest mit einem 0-Pegelanschluss der Schaltungsplatine verbunden, sondern umschaltbar ausgeführt. Weiterhin können dann auch Differenzen zwischen den Schwellwerten der Transistoren der Schaltungsanordnung und den LEDs (passive Matrix, organische Substanzen) bzw. den Pixel-Transistoren (aktive Matrix) eingestellt werden.
- Die N Reihen Rx des Displays werden folglich mit der zweiten Ausführungsform der Schaltungsanordnung sequentiell und verschachtelt (interlaced) adressiert. Tabelle 2 zeigt als Beispiel hierfür ein Taktschema für ein (P- oder O-) LED-Matrix-Display mit N = 6 Reihen.

Tabelle 2:

Zeittakt	$\Phi_0$	$\Phi_1$	$\Phi_2$	1	2	3	4	5	6
0	0	-	-	+A1	0 B2	+A1	0 B2	+A1	0 B2
1	+	+	0	<b>0 B1</b>	0 B2	+A1	0 B2	+A1	0 B2
2	+	0	+	<b>0 B1</b>	<b>+A2</b>	+A1	0 B2	+A1	0 B2
3	0	+	0	+A1	<b>+A2</b>	<b>0 B1</b>	0 B2	+A1	0 B2
4	0	0	+	+A1	0 B2	<b>0 B1</b>	<b>+A2</b>	+A1	0 B2
5	0	+	0	+A1	0 B2	+A1	<b>+A2</b>	<b>0 B1</b>	0 B2
6	0	0	+	+A1	0 B2	+A1	0 B2	<b>0 B1</b>	<b>+A2</b>
7	0	+	0	+A1	0 B2	+A1	0 B2	+A1	<b>+A2</b>
8	0	0	+	+A1	0 B2	+A1	0 B2	+A1	0 B2

- 5 In den Tabellenfeldern sind neben den durch die Zeichen + und 0 angedeuteten 1- und 0-Pegeln an den Ausgängen der Inverter In1, In2,... der jeweiligen Reihe R1, R2,... auch die jeweils durchgeschaltete vierte bis siebte Taktbusleitung A1, B1, A2, B2 und damit die jeweilige Schalterstellung der Umschalter Um1, Um2, Um3,... an den Reihen R1, R2, R3,... (und somit die an den Reihen jeweils anliegende Spannung) angegeben.

10

Aus Tabelle 2 wird deutlich, dass nach acht Zeittakten nach dem Anlegen des Startpulses an die dritte Taktbusleitung  $\Phi_0$  ein Halbbild, das heißt die Reihen R1, R3 und R5 oder die Reihen R2, R4 und R6 (jeweils fett gedruckt) eines Matrix-Displays mit  $N = 6$  Zeilen adressiert worden sind.

15

Aus Tabelle 2 ist auch ersichtlich, dass in dem Fall, in dem sowohl an die fünfte, als auch an die sechste Taktbusleitung B1, A2 ein 1-Pegel angelegt wird, eine nicht-verschachtelte (non-interlaced) Ansteuerung der Reihen des Matrix-Displays erzielt wird. In diesem Fall werden

jedoch jeweils zwei Reihen gleichzeitig adressiert, so dass ein im allgemeinen nicht erwünschter Verlust an Bildauflösung eintritt.

- Figur 8 zeigt die zweite Schaltungsanordnung in einer Ausgestaltung zur Ansteuerung der Spalten S1, S2, S3 eines Matrix-Displays.

Diese Ausgestaltung ist schaltungstechnisch im wesentlichen identisch mit der in Figur 6 gezeigten Schaltungsanordnung, so dass hinsichtlich ihrer Elemente und Funktionen auf die im Zusammenhang mit den Figuren 6 und 7 und der Tabelle 2 gegebenen Erläuterungen Bezug genommen werden soll. Im Unterschied zur Figur 6 sind mit den Umschaltern Um1, Um2, Um3, ... die Spalten S1, S2, S3, ... des Matrix-Displays verbunden.

Mit der zweiten Schaltungsanordnung können auch andere Verschachtelungs-Schemata, zum Beispiel ein "abcdabcd"-Interlace-Betrieb realisiert werden, wenn weitere Taktbusleitungen A und B vorgesehen und zum Beispiel mit den Umschaltern Um3 und Um4 verbunden sind.

Mit der zweiten Schaltungsanordnung können im Gegensatz zu der ersten Schaltungsanordnung nicht nur die Abtastleitungen (d. h. Abtastreihen oder Abtastspalten), sondern alternativ dazu auch die Datenleitungen eines Displays angesteuert werden. In diesem Fall wird die fünfte und sechste Taktbusleitung B1, A2 nicht mit der Halbbildfrequenz zwischen dem 0- und dem 1-Pegel, sondern mit der LED-Frequenz zwischen dem 0- und dem LED-Datenpegel umgeschaltet. Im Falle von "invertiert" adressierten LED-Elementen (wenn die Dioden umgekehrt wie in Figur 9 dargestellt gepolt sind) wird zwischen dem 1-Pegel und dem LED-Datenpegel umgeschaltet.

25

Figur 9 zeigt schließlich eine Anzeigeeinheit mit N = 3 Reihen und M = 6 Spalten, bei der das (passive) LED-Matrix-Display folglich die dargestellten 18 LED-Elemente (Displayelemente Dx) aufweist. Die Reihen des Displays werden mit einer Schaltungsanordnung gemäß der ersten Ausführungsform angesteuert, während die Spalten mit einer Schaltungsanordnung

gemäß der zweiten Ausführungsform angesteuert werden, um diesen die Datensignale zuzuführen.

- Über die drei Taktbusleitungen  $\Phi 0s$ ,  $\Phi 1s$ ,  $\Phi 2s$  der ersten Schaltungsanordnung werden
- 5 dabei wie oben beschrieben die Reihen nacheinander aktiviert (Abtastreihen), während über die insgesamt fünf Taktbusleitungen  $\Phi 0d$ ,  $\Phi 1d$ ,  $\Phi 2d$ ,  $B1$ ,  $A2$  der zweiten Schaltungsanordnung die Signale der darzustellenden Bildinformationen (Datenspalten) gemäß obiger Erläuterung angelegt werden.
- 10 Über zwei DC-Busse (+, -) wird den Invertern wiederum eine positive bzw. negative Versorgungsspannung zugeführt. Insgesamt sind somit unabhängig von der Anzahl der Reihen und Spalten des Displays 10 Busleitungen erforderlich.
- Der Schaltungsaufwand für die Ansteuerung des Matrix-Displays der Anzeigeeinheit beträgt
- 15 insgesamt 12 (= 4 mal N) plus 24 (= 4 mal M) n-Transistoren und 6 (= 2 mal N) plus 18 (= 3 mal M) p-Transistoren.
- Alternativ dazu ist es schließlich möglich, auch die Abtastreihen des Matrix-Displays mit der zweiten Schaltungsanordnung anzusteuern.
- 20 Das Matrix-Display würde dann, unabhängig von der Anzahl der Reihen und Spalten des Displays, über insgesamt zehn Taktbusleitungen und zwei DC-Busse, somit insgesamt 12 Busleitungen, angesteuert werden.
- 25 In diesem Fall ergäbe sich für das in Figur 9 gezeigte Display mit  $N = 3$  Reihen und  $M = 6$  Spalten ein Schaltungsaufwand für die Ansteuerung des Matrix-Displays von insgesamt 12 (= 4 mal N) plus 24 (= 4 mal M) n-Transistoren und 9 (= 3 mal N) plus 18 (= 3 mal M) p-Transistoren.

Für beide Schaltungsanordnungen sowie deren Kombinationen zur Ansteuerung der Reihen und / oder Spalten eines Displays gilt, dass anstelle der dargestellten passiven Matrixelemente auch aktive Matrixelemente gemäß Figur 2 verwendet werden können.

PATENTANSPRÜCHE

## 1. Integrierte Anzeigeeinheit mit:

- einem Display mit einer Mehrzahl von Displayelementen ( $D_x$ ), die zu einer Mehrzahl von Gruppen zusammengefasst sind,
- einer Schaltungsanordnung zur Ansteuerung des Displays, mit einer Mehrzahl von Schaltern

5 (Sw1, Sw2,...), die mit einem ersten Taktsignal geschlossen und einem zweiten Taktsignal geöffnet werden können und einer Mehrzahl von Invertern (In1, In2,...), wobei die Schalter und Inverter abwechselnd zueinander zu einer Reihenschaltung verschaltet sind, wobei

- jede Gruppe von Displayelementen ( $D_x$ ) jeweils mit einem Ausgang eines Inverters (In1, In2,...) verbunden ist, sowie

10 - mindestens einer Taktbusleitung ( $\Phi_1, \Phi_2$ ), über die dem ersten, dritten, fünften usw. Schalter (Sw1, Sw3, Sw5,...) der Reihenschaltung alternierend das erste und das zweite Takt signal und dem zweiten, vierten, sechsten usw. Schalter (Sw2, Sw4, Sw6,...) alternierend das zweite und das erste Taktsignal zugeführt wird, so dass nach dem Anlegen eines dritten Takt signals an den Eingang der Reihenschaltung fortlaufend jeweils mindestens eine Gruppe von

15 Displayelementen ( $D_x$ ) aktiviert wird.

## 2. Integrierte Anzeigeeinheit nach Anspruch 1,

mit einem Träger, auf dem die Displayelemente ( $D_x$ ) in Form eines Displayfeldes angeordnet sind, wobei die mindestens eine Taktbusleitung ( $\Phi_1, \Phi_2$ ) am Rand des Displayfeldes verläuft.

3. Integrierte Anzeigeeinheit nach Anspruch 1,  
bei der die Gruppen von Displayelementen (Dx) jeweils durch eine Reihe oder eine Spalte eines Matrix-Displays gebildet sind.
- 5 4. Integrierte Anzeigeeinheit nach Anspruch 1,  
bei der die Schalter (Sw1, Sw2,...) jeweils durch einen n-Transistor und die Inverter (In1, In2,...) jeweils durch eine Parallelschaltung eines p-Transistors mit einem n-Transistor gebildet sind.
- 10 5. Integrierte Anzeigeeinheit nach Anspruch 1,  
bei der zur nicht-verschachtelten (non-interlaced) Ansteuerung der Gruppen von Displayelementen (Dx) die Gruppen jeweils an den Ausgang des zweiten, vierten, sechsten usw. Inverters (In2, In4, In6,...) der Reihenschaltung angeschlossen sind.
- 15 6. Integrierte Anzeigeeinheit nach Anspruch 5,  
bei der die Gruppen von Displayelementen (Dx) die Abtastreihen oder Abtastspalten eines Matrix-Displays sind.
7. Integrierte Anzeigeeinheit nach Anspruch 1,
- 20 bei der zur verschachtelten (interlaced) Ansteuerung der Gruppen von Displayelementen (Dx) die Gruppen jeweils über einen Umschalter (Um1, Um2,...) zur Halbbild-Umschaltung mit einer fünften oder sechsten Taktbusleitung (B1, A2) verbindbar sind und die Umschalter (Um1, Um2,...) jeweils durch ein an dem Eingang und / oder dem Ausgang des zugeordneten Inverters (In1, In2,...) anliegendes Signal umschaltbar sind.

8. Integrierte Anzeigeeinheit nach Anspruch 7,  
bei der die Umschalter (Um1, Um2,...) durch zwei Ein-/Ausschalter aus jeweils einem p- und  
einem n-Transistor gebildet sind.
- 5 9. Integrierte Anzeigeeinheit nach Anspruch 7,  
bei der die Gruppen von Displayelementen (Dx) die Abtastreihen und / oder die Abtastspalten  
und / oder die Datenreihen und / oder die Datenspalten eines Matrix-Displays sind.

## ZUSAMMENFASSUNG

### Integrierte Anzeigeeinheit

Es wird eine integrierte Anzeigeeinheit mit einem Display mit einer Mehrzahl von Displayelementen ( $D_x$ ), die zu einer Mehrzahl von Gruppen zusammengefasst sind, sowie mit

- 5 verschiedenen Schaltungsanordnungen zur Ansteuerung des Displays beschrieben. Das Display ist insbesondere ein pixelorientiertes Display wie zum Beispiel eine (P- oder O-) LED-Matrix mit Gruppen in Form von in Reihen und Spalten angeordneten Displayelementen. Die Schaltungsanordnungen arbeiten funktionell nach Art eines Schieberegisters, wobei die üblicherweise  $N$  mal  $M$  äußeren Kontakte für die Abtast- und Datenleitungen auf eine Anzahl  
10 von acht oder zehn solcher Kontakte reduziert werden können. Ein wesentlicher Vorteil der Schaltungsanordnungen besteht darin, dass sie zusammen mit dem Matrix-Display auf einer Schaltungsplatine zu einer Anzeigeeinheit integriert werden können.

Fig. 9

15

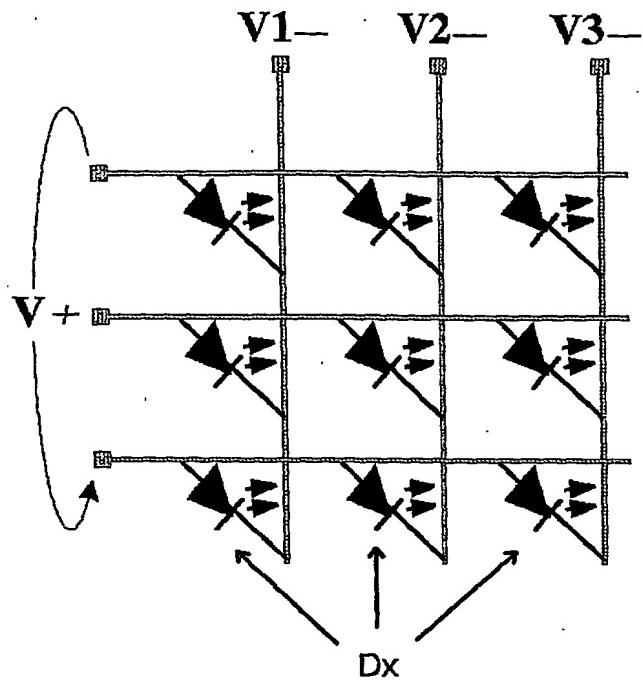


FIG. 1

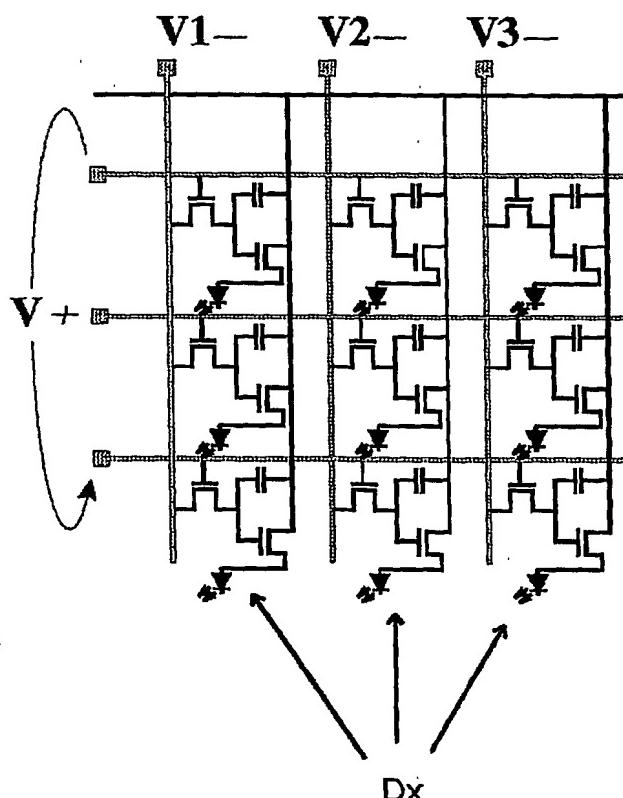


FIG. 2

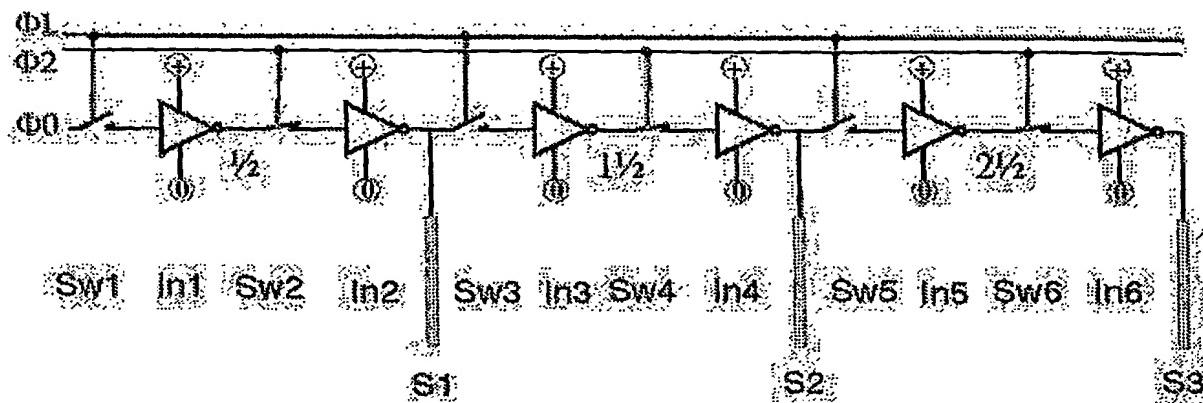


FIG. 5

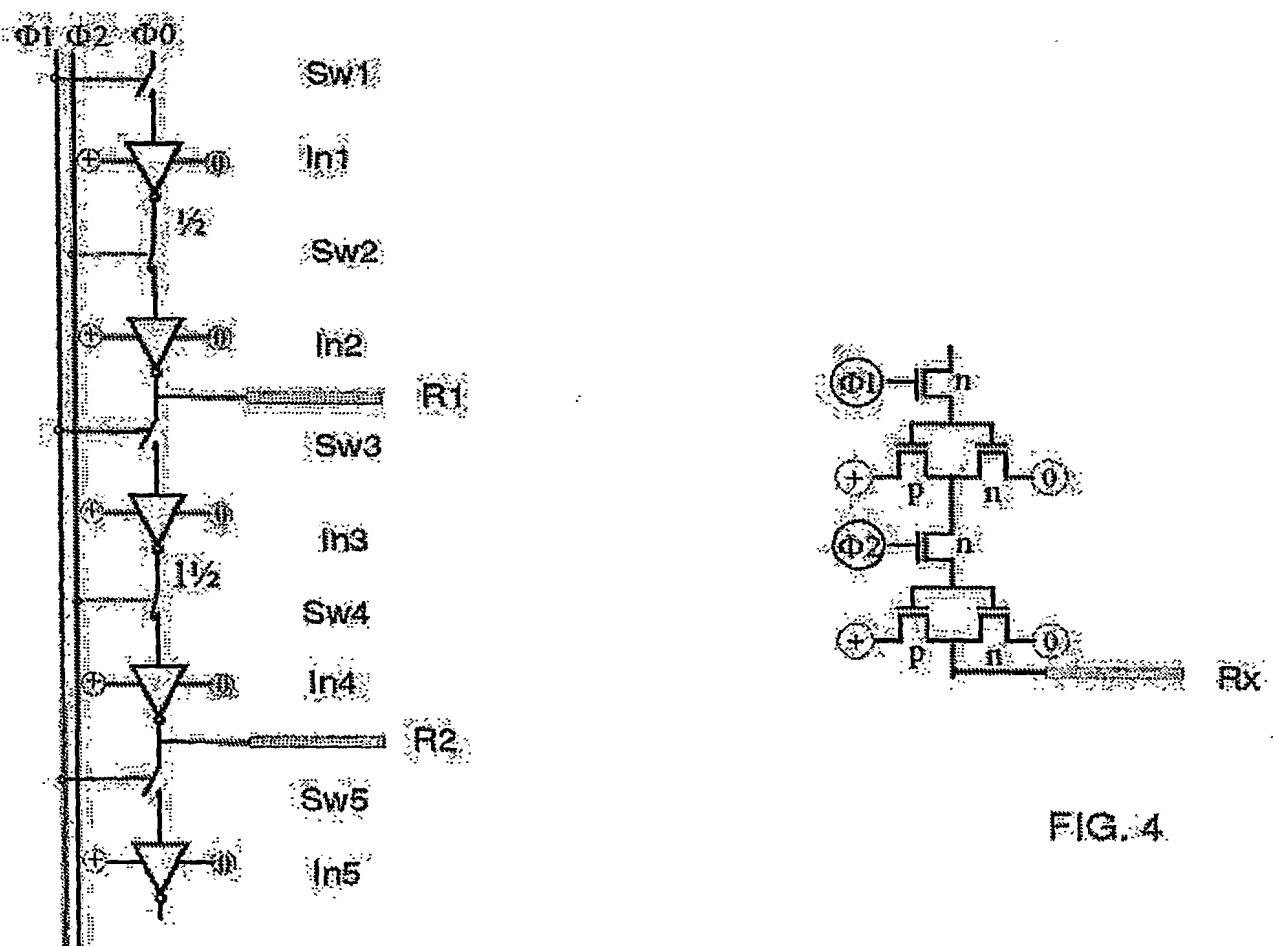


FIG. 3

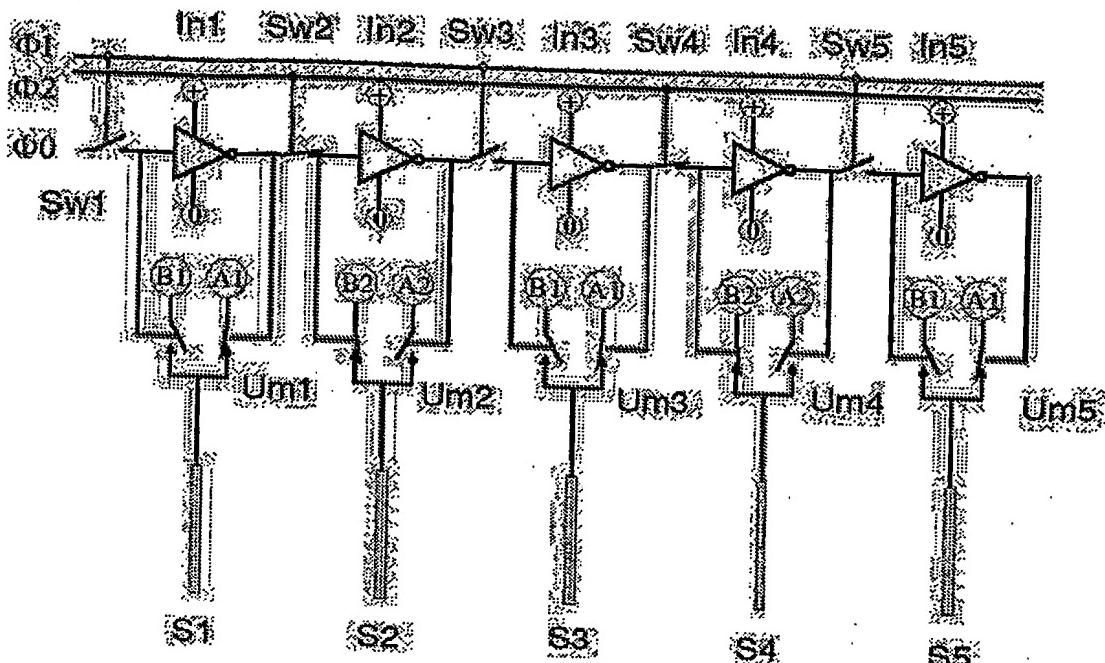


FIG. 6

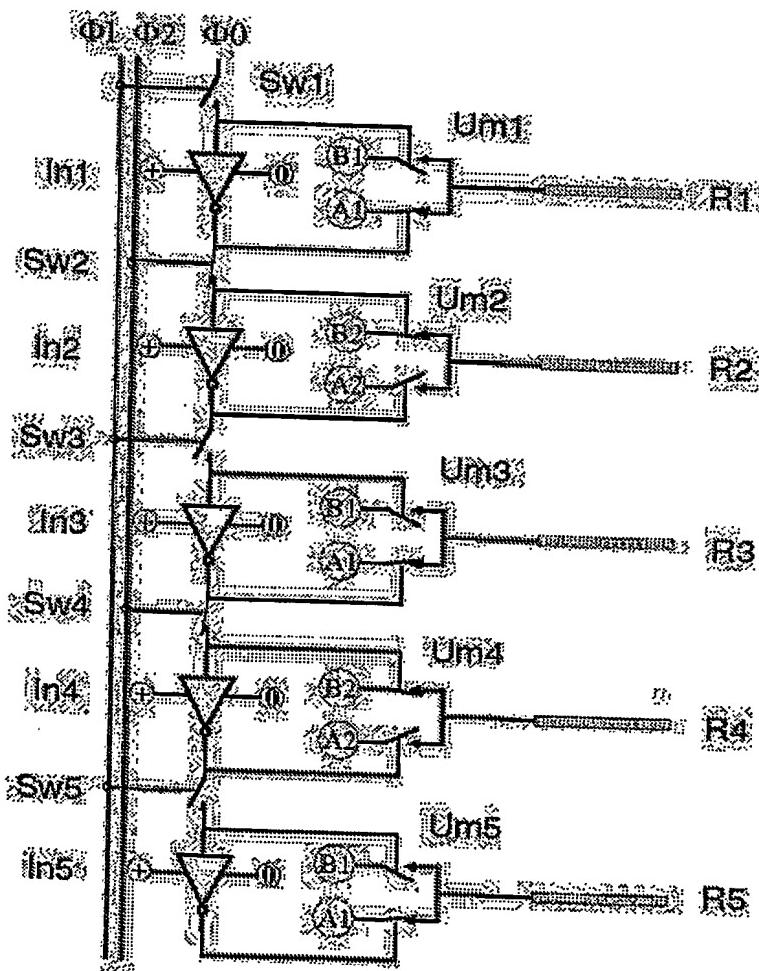


FIG. 7

FIG. 8

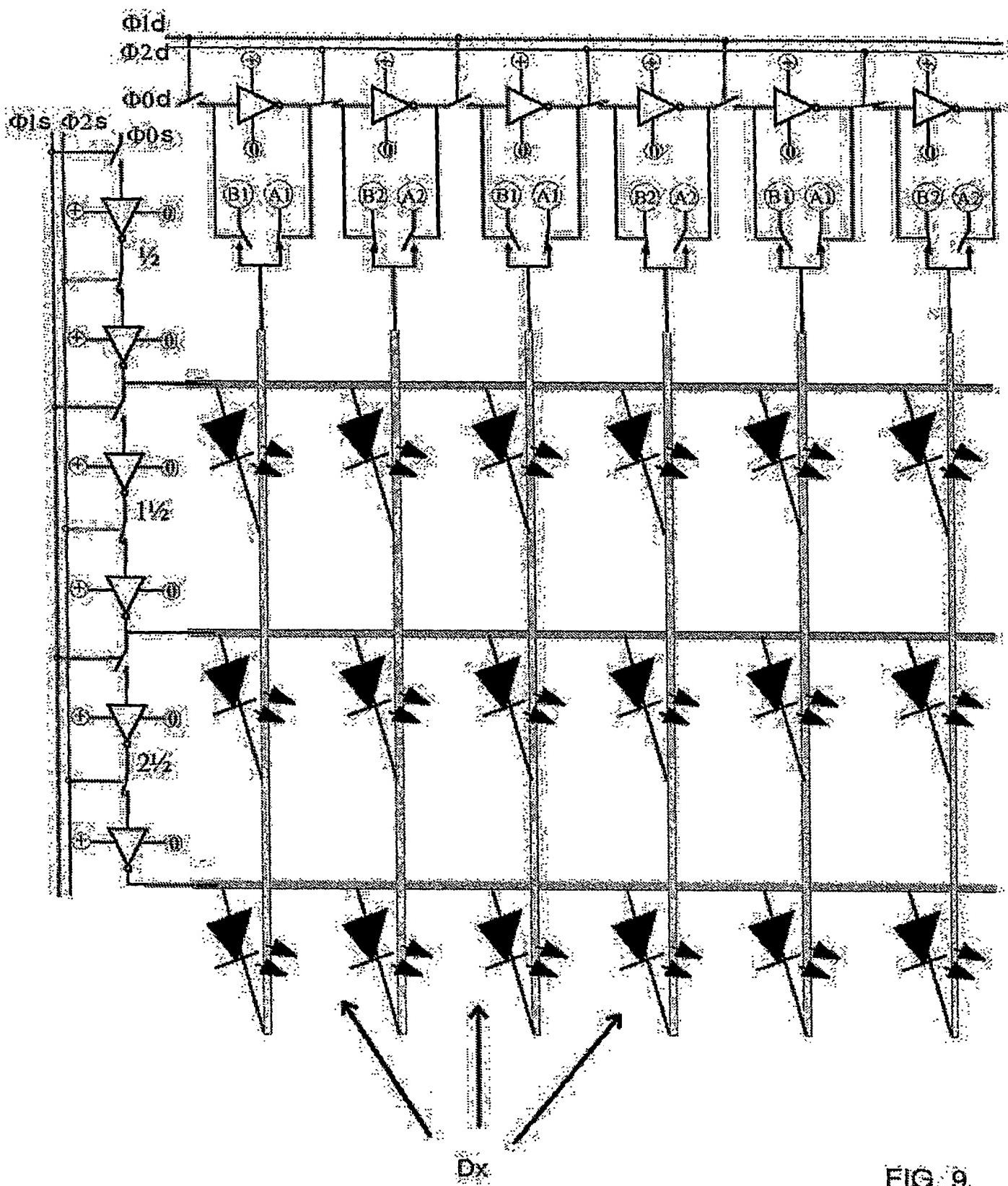


FIG. 9

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**